

PAT-NO: JP405063783A  
DOCUMENT-IDENTIFIER: JP 05063783 A  
TITLE: DTMF SIGNAL GENERATING CIRCUIT  
PUBN-DATE: March 12, 1993

INVENTOR-INFORMATION:  
NAME  
TANAKA, KAZUYUKI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
RICOH CO LTD N/A

APPL-NO: JP03242357  
APPL-DATE: August 29, 1991

INT-CL (IPC): H04M001/50

ABSTRACT:

PURPOSE: To realize the adjustment of an amplitude level of a sine wave with an easy and simple circuit by obtaining a DTMF signal by a sine wave of low distortion and preventing production of glitch caused in the production of a pseudo sine wave with an easily integrated circuit.

CONSTITUTION: A pseudo sine waveform synthesis circuit is made up of a resistance network 11 obtaining voltage division voltages  $V_{<SB>1}</SB>-V_{<SB>m+1}</SB>$  from connecting points of plural resistors  $R_{<SB>1}</SB>-R_{<SB>m+1}</SB>$  connected in series between voltage terminals 11A, 11B, a switch network 12 having plural switches  $S_{<SB>1}</SB>-S_{<SB>m}</SB>$  obtaining the relevant division voltage sequentially and repetitively at an output terminal 12A and up of a control circuit 13 applying on/off control to

the above-mentioned switch sequentially and repetitively in a prescribed timing clock. Outputs of two pseudo sine waveform synthesis circuits are added by an adder circuit, from which a DTMF signal is generated.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-63783

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.<sup>5</sup>

H 0 4 M 1/50

識別記号

庁内整理番号

F I

技術表示箇所

7190-5K

審査請求 未請求 請求項の数4(全 7 頁)

(21)出願番号 特願平3-242357

(22)出願日 平成3年(1991)8月29日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 田中 和幸

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

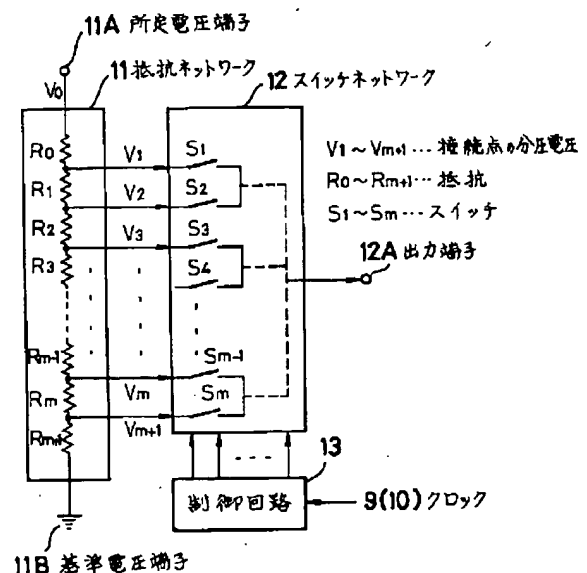
(74)代理人 弁理士 武田 元敏

(54)【発明の名称】 DTMF信号発生回路

(57)【要約】

【目的】 低歪のサイン波によるDTMF信号を得るとともに疑似サイン波形を作成する際に生ずるグリッジ発生を集積化に容易な回路で防止し、サイン波の振幅レベルの調整を容易簡単な回路で実現する。

【構成】 電圧端子間11A、11Bに直列接続された複数の抵抗 $R_1 \sim R_{n+1}$ の接続点から分圧電圧 $V_1 \sim V_{n+1}$ を得る抵抗ネットワーク11と、該分圧電圧を順次繰返し出力端子12Aに得る複数のスイッチ $S_1 \sim S_m$ を有するスイッチネットワーク12と、上記スイッチを一定のタイミングクロックで順次繰返しオン/オフ制御する制御回路13とで疑似サイン波形合成回路を構成し、この疑似サイン波形合成回路の2つを合成する加算回路にて加算しDTMF信号を作成する。



1

## 【特許請求の範囲】

【請求項1】 所定電圧端子と基準電圧端子間に必要本数の抵抗を直列に接続し、該抵抗の各接続点の電位をサイン波形より計算される電位に近くなるように各抵抗値が選ばれた抵抗ネットワークと、該抵抗ネットワーク内の個々の抵抗の接続点の電位を、各スイッチのオン/オフにより出力端子に得られるようにするスイッチネットワークと、該スイッチネットワークの各々のスイッチのオン/オフを制御するカウンタを含む制御回路とで疑似サイン波形合成回路を構成し、前記スイッチネットワークの各スイッチのオン/オフにより出力端子に疑似サイン波が合成されて出力されるように2つの前記疑似サイン波形合成回路の出力を加算回路にて加算し出力するよう構成したことを特徴とするDTMF信号発生回路。

【請求項2】 各疑似サイン波形合成回路の出力は夫々サンプルホールド回路を通した後、加算回路にて加算するよう構成したことを特徴とする請求項1記載のDTMF信号発生回路。

【請求項3】 各疑似サイン波形合成回路の抵抗ネットワークの所定電圧端子側または基準電圧端子側に一番近い抵抗の値を調整して、疑似サイン波形の振幅の大きさを調整することにより、DTMF信号の2つのサイン波形の振幅比を調整可能にしたことを特徴とする請求項1記載のDTMF信号発生回路。

【請求項4】 各疑似サイン波形合成回路の抵抗ネットワークの所定電圧端子と該抵抗ネットワークの間に接続された定電流源または定電圧源により駆動することを特徴とする請求項1記載のDTMF信号発生回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル的にプッシュ電話回線用のDTMF(dual-tone multifrequency)信号を合成して出力するDTMF信号発生回路に関する。

【0002】

【従来の技術】サイン波形を含む任意波形をデジタル的に合成するためには、例えば、「IC論理回路設計の基礎」西野聡著(日刊工業新聞社発行)200頁に記載の構成により行うことが一般的である。

【0003】また、プッシュ電話回線用のDTMF信号、つまり周波数の異なる2波のサイン波を加算合成した信号(DTMF)を得るには、サイン波形合成回路を2つ用いて、加算合成することが知られている。

【0004】図5は、従来のサイン波形を含む任意のアナログ波形を合成する回路のブロック図である。これは、制御回路1よりの信号によりアドレスカウンタ2の内容が変化し、ROM3の出力はアドレスカウンタ2の示すアドレスに格納されたROMコードをD/Aコンバータ4に出力する。

【0005】D/Aコンバータ4はROM3から入力されるROMコードに従い任意の波形のアナログ電圧AV

2

を出力する。この時のD/Aコンバータ4のビット数は必要に応じて選択される。また、通常は、アドレスカウンタ2が変化しROM出力が変化するとき、ROM出力の各ビットのタイミングのバラツキにより、D/Aコンバータ4の出力信号の変化点でグリッジ(幅の狭いパルス)が生じる。

【0006】図6は上記D/Aコンバータ4の出力にグリッジが生じるのを防止する回路構成例を示し、図に示すようにROM3からのデジタル入力とD/Aコンバータ4の入力間にデータバッファ5等のラッチ回路を設けることにより、ROM3からのデジタル入力の各ビットが同時にD/Aコンバータ4に入力するようビット数が入っている。

【0007】また、上記D/Aコンバータ4の出力により疑似サイン波形を出力するためには、図5のアドレスカウンタ2によりROM3のアドレスが変化していく順序でサイン波形になるような電圧がD/Aコンバータ4より順次出力されるコードをROM3よりD/Aコンバータ4に与える必要がある。

【0008】図7は、D/Aコンバータ4が5ビットのときの疑似サイン波の波形例を示す。図7において、横軸はROM3のアドレスを示し、0から始まり $2^5-1=31$ までカウントアップした後は、再び0となり、以降これを繰返すが、ここでは、図7に示すとおり1周期分のみを示している。

【0009】次に縦軸はROM3の出力コードを示し、また同時にD/Aコンバータ4の出力電圧波形でもある。この場合、波形の一番低い電圧は、例えば、基準電圧等であり、一番高い電圧は、例えば、電源電圧等である。また、中間の波形の電圧は、一番高い電圧と低い電圧を2のビット数乗に分割した電圧の整数倍の値をとるものである。

【0010】そして、DTMF信号発生のため、上記図5や図6に例示した疑似サイン波形回路を2つ使用し、その各出力を加算してDTMF信号を合成するのが、従来一般的に行われていた。

【0011】

【発明が解決しようとする課題】上述した疑似サイン波形発生回路の場合、D/Aコンバータでは量子化誤差が必ず発生するため、疑似サイン波を発生させた場合、その量子化誤差によりサイン波形の基本波に対する高調波成分で、低次(基本波の2倍、3倍、4倍などの周波数成分)の成分が多くなり、歪の少ないサイン波でなくなってくる。

【0012】上記図7でROMアドレスが変化する段の高次の高調波成分は、簡単にローパスフィルタで減衰させることが出来るので、低次の成分が問題となる。例えば、図7の疑似サイン波形の場合、2次高調波成分は1.35%、3次高調波成分は1.12%、4次高調波成分は0.73%と計算される。また、20次までの高調波成分による歪

率は1.53%である。つまり、量子化誤差によりサイン波形が歪んでしまうという問題がある。

【0013】本発明は、上記問題に鑑み低歪のサイン波によりDTMF信号を作成することを第1の目的とする。

【0014】次に従来の回路構成ではD/Aコンバータの出力信号の変化点でのグリッジ防止のためD/Aコンバータのビット数分のデータバッファ等のラッチ回路が必要であり、半導体集積回路で作る場合など回路規模が大きくなってしまいう問題がある。

【0015】本発明は、ビット数によらず、ある一定の集積化可能なサンプルホールド回路を追加するだけで、グリッジを防止することを第2の目的とする。

【0016】また、従来はサイン波の振幅レベルを調整する場合、ROM出力コードを変更するとか、または、D/Aコンバータの出力端子に新たに抵抗等を付けて調整する必要があり、部品が増加しコストアップとなる問題があった。

【0017】本発明は、抵抗の値を変えるだけでDTMF信号の2波のサイン波の振幅レベルを調整可能とすることを第3の目的とする。

【0018】また、サイン波の振幅レベルを電源電圧に依存せず一定にするためには、D/Aコンバータに基準電圧を供給すればよいが、本発明においては簡単な回路を追加することで上記サイン波の振幅レベルを一定にすることを第4の目的とする。

【0019】更に本発明は、D/Aコンバータのビット数を $n$ とすると $[2 \text{ の } n \text{ 乗}] \times [n]$  ビットのROMが必要である従来の回路規模の大形化を排除し、回路規模が小さい集積化に適したコストダウンが可能なDTMF信号発生回路の提供を第5の目的とする。

【0020】

【課題を解決するための手段】本発明は、所定電圧端子と基準電圧端子間に必要本数の抵抗を直列に接続し、該抵抗の各接続点の電位をサイン波形より計算される電位に近くなるように各抵抗値が選ばれた抵抗ネットワークと、該抵抗ネットワーク内の個々の抵抗の接続点の電位を、各スイッチのオン/オフにより出力端子に得られるようにするスイッチネットワークと、該スイッチネットワークの各々のスイッチのオン/オフを制御するカウンタを含む制御回路とで疑似サイン波形合成回路を構成し、前記スイッチネットワークの各スイッチのオン/オフにより出力端子に疑似サイン波が合成されて出力されるように2つの前記疑似サイン波形合成回路の出力を加算回路にて加算し出力するよう構成したことを特徴とする。

【0021】

【作用】本発明によれば、各疑似サイン波形合成回路の各2波の疑似サイン波形は、抵抗ネットワークの抵抗による分圧電圧を、サイン波形の時間軸方向に等分に分割

して各タイミングにおけるサイン波形の電圧と等しくすることにより上記疑似サイン波形を合成していることで、合成したサイン波形の基本波に対する高調波成分を計算すると、疑似サイン波形の階段部波形(クロック成分)の高調波は存在するが、それ以外の高調波成分が存在しない。

【0022】そして、前記階段部波形のクロック成分は、基本波と周波数が離れているため簡単なローパスフィルタにより可成り減衰させることができ、低歪のサイン波を生成することが可能である。

【0023】

【実施例】図1は、本発明の基本回路構成図を示し、図1において、6及び7は疑似サイン波形合成回路、8は加算回路、9及び10は夫々上記疑似サイン波形合成回路6、7への階段部波形のクロック成分入力端子、6A及び7Aは疑似サイン波形の出力端子、8Aは加算回路8からのDTMF信号出力端子である。

【0024】これは、疑似サイン波形の階段部波形におけるクロック成分が入力端子9及び10に加えられると、疑似サイン波形合成回路6及び7にて疑似サイン波形が生成され、出力端子6A及び7Aに疑似サイン波形が出力され、加算回路8により両疑似サイン波形が加算されて、出力端子8AにDTMF信号が出力される。

【0025】図2は、疑似サイン波形合成回路6及び7の一実施例を示し、両回路とも同じ構成である。

【0026】図2において、11は抵抗ネットワークで、その一端は所定電圧端子11Aに接続され、また、他端は基準電圧端子11Bに接続されている。この抵抗ネットワーク11は、例えば、図2に示すように抵抗 $R_0, R_1, \dots, R_n, R_{n+1}$ を直列に接続したものである。

【0027】12はスイッチネットワークで、図2に例示するように $S_1, S_2, \dots, S_{n-1}, S_n$ の各スイッチを備え、この各スイッチ $S_1 \sim S_n$ の可動片に上記抵抗ネットワーク11の各々の抵抗の接続点の分圧電圧 $V_1, V_2, \dots, V_n, V_{n+1}$ が入力される。

【0028】13は制御回路で、上記スイッチネットワーク12の各スイッチ $S_1 \sim S_n$ をオン/オフ制御するためのカウンタ(図略)を含むものであり、そのオン/オフ制御の切替タイミングは、入力端子9(10)から入力されるクロックにより制御され、抵抗ネットワーク11の各抵抗の接続点の分圧電圧 $V_1 \sim V_{n+1}$ を順繰りにスイッチネットワーク12の出力端子12Aへ出力する。

【0029】ここで、上記抵抗ネットワーク11の各抵抗値は、例えば、次のように決められる。即ち、出力端子12Aにより疑似サイン波形を出力するために、各抵抗値を決めるには、波形の最大電位を、例えば、 $V_1$ とし、最小電位を $V_{n+1}$ とすると、 $V_k (k=1, 2, \dots, m)$ の電位は、

【0030】

【数1】



7

ログ出力電圧に生じるグリッジを取り除くためには、サンプルホールド回路を1個追加すればよく、従来のようにビットごとに同期回路を入れていると、ビット数が増えると、グリッジ除去回路も増えてしまうため、コストアップにつながるが、本発明の場合には、ビット数によってグリッジ除去回路が増加しないため、回路規模が小さくなりコストダウンが可能となる。

【0049】また、抵抗ネットワークの一部の抵抗の大きさを変えることによりサイン波形の振幅レベルを変更することが出来るため、抵抗トリミング等により振幅レベルの合わせ込みとか、調整が容易に可能である。特にDTMF信号の高群(4波)と低群(4波)の振幅レベル比の合わせ込みに有効である。

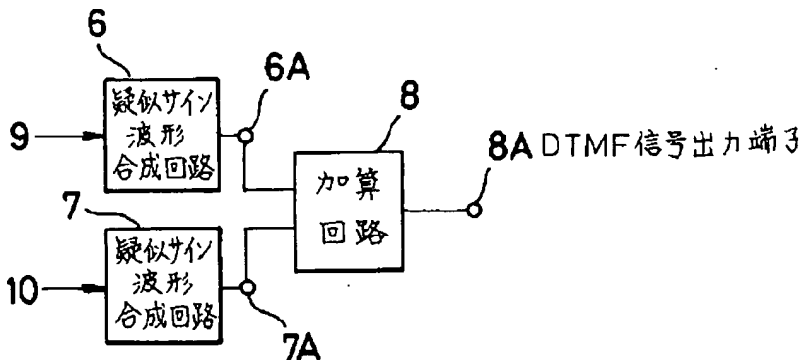
【0050】さらに本発明は、出力のサイン波の振幅レベルを電源電圧に依存せず一定にするために、本発明においては、抵抗ネットワークに定電圧源または定電流源のどちらも利用可能であるため、全体の回路システムに合わせてどちらか一方を選択出来るため、コストメリットの出る方法を選択して使用することが可能である。

【図面の簡単な説明】

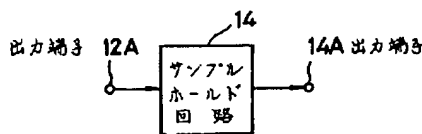
【図1】本発明の基本回路構成図である。

【図2】図1の疑似サイン波形合成回路の一実施例を示

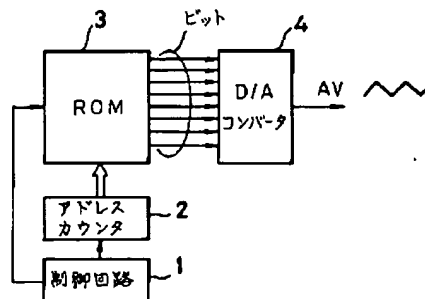
【図1】



【図3】



【図5】



8

す図である。

【図3】本発明のグリッジ防止のための一回路例を示す図である。

【図4】本発明の振幅レベルを一定に調整するための一回路列である。

【図5】従来のアナログ波形を合成する回路のブロック図である。

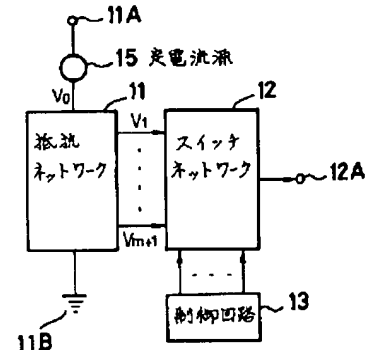
【図6】従来のD/Aコンバータの出力にグリッジが生じるのを防止する回路構成例を示す図である。

【図7】従来のD/Aコンバータが5ビットのときの疑似サイン波の波形例を示す図である。

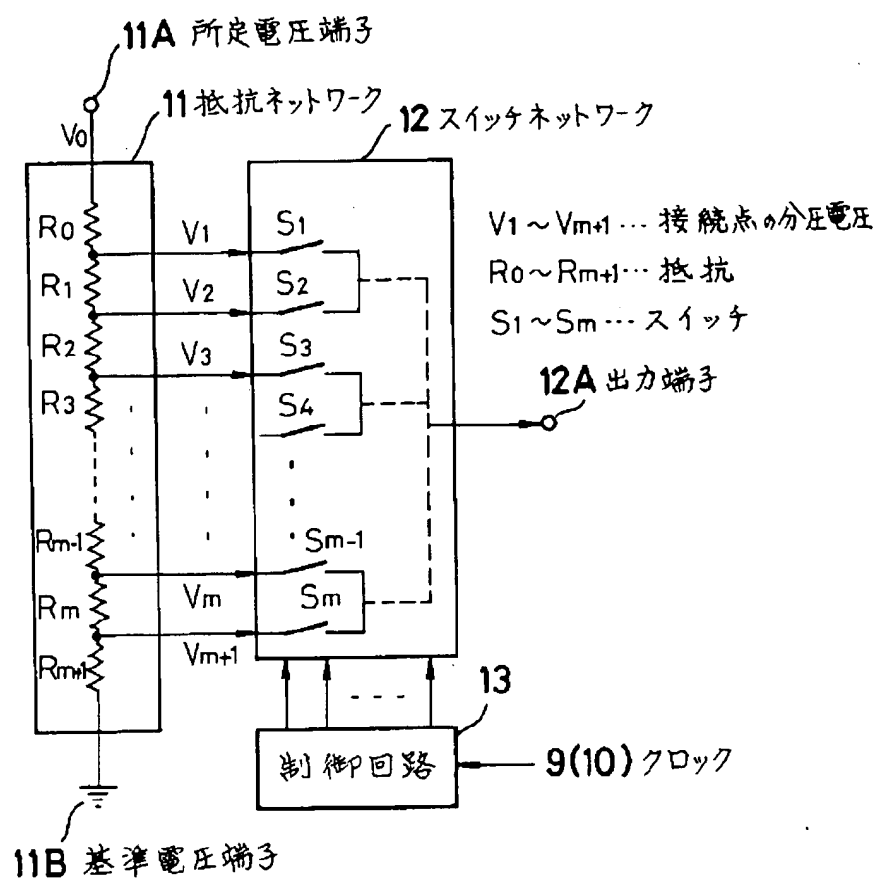
【符号の説明】

6, 7…疑似サイン波形合成回路、 8…加算回路、  
8A…DTMF信号出力端子、 9, 10…クロック入力  
端子、 11…抵抗ネットワーク、 11A…所定電圧端  
子、 11B…基準電圧端子、 12…スイッチネットワ  
ーク、 12A, 14A…疑似サイン信号出力端子、 13…制  
御回路、 14…サンプルホールド回路、 15…定電流  
源、  $R_0, R_1, \dots, R_n, R_{n+1}$ …抵抗、  $V_1, V_2, \dots$   
20  $V_n, V_{n+1}$ …分圧電圧、  $S_1, S_2, \dots, S_n, S_{n+1}$   
…スイッチ。

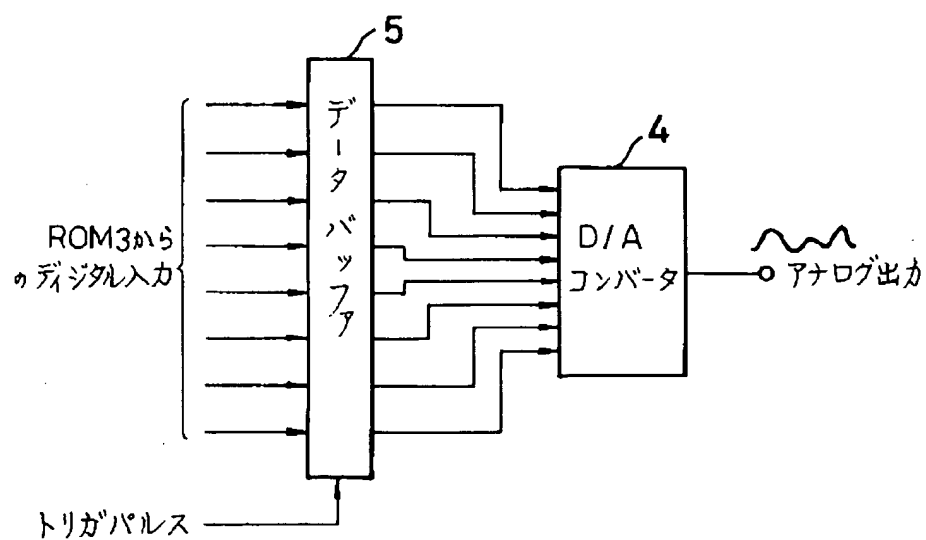
【図4】



【図2】



【図6】





【図7】

